

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 2 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 2 - 2 8 0 9 1 8
Application Number:

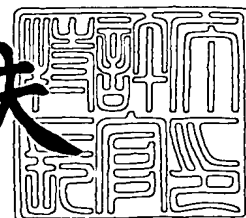
[ST. 10/C] : [J P 2 0 0 2 - 2 8 0 9 1 8]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 7 月 2 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 0 3 9 2

【書類名】 特許願

【整理番号】 J0091880

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/30

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 河西 利幸

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤網 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子回路、電子装置及び電子機器

【特許請求の範囲】

【請求項 1】 第 1 の電流レベルを有する第 1 の電流が通過する第 1 の回路部と、

前記第 1 の電流レベルに応じた電荷量を保持する容量素子と、

前記容量素子に保持された前記電荷量に基づいて、前記第 1 の電流レベルとは異なる第 2 の電流レベルを有する第 2 の電流を生成する第 2 の回路部と、を含み

、
前記第 1 の回路部及び前記第 2 の回路部のうち少なくともいずれかは直列または並列に接続された単位素子を含むことを特徴とする電子回路。

【請求項 2】 第 1 の電流レベルを有する第 1 の電流が通過する第 1 の回路部と、

前記第 1 の電流レベルに応じた電荷量を保持する容量素子と、

前記容量素子に保持された前記電荷量に基づいて、前記第 1 の電流レベルとは異なる第 2 の電流レベルを有する第 2 の電流を生成する第 2 の回路部と、を含み

、
前記第 1 の回路部は並列に接続された複数の単位素子を含むことを特徴とする電子回路。

【請求項 3】 第 1 の電流レベルを有する第 1 の電流が通過する第 1 の回路部と、

前記第 1 の電流レベルに応じた電荷量を保持する容量素子と、

前記容量素子に保持された前記電荷量に基づいて、前記第 1 の電流レベルとは異なる第 2 の電流レベルを有する第 2 の電流を生成する第 2 の回路部と、を含み

、
前記第 2 の回路部は直列に接続された複数の単位素子を含むことを特徴とする電子回路。

【請求項 4】 第 1 の電流レベルを有する第 1 の電流が通過する第 1 の回路部と、

前記第 1 の電流レベルに応じた電荷量を保持する容量素子と、

前記容量素子に保持された前記電荷量に基づいて、前記第 1 の電流レベルとは異なる第 2 の電流レベルを有する第 2 の電流を生成する第 2 の回路部と、を含み

、
前記第 1 の回路部は並列に接続された複数の単位素子を含み、

前記第 2 の回路部は直列に接続された複数の単位素子を含むこと、を特徴とする電子回路。

【請求項 5】 第 1 の電流レベルを有する第 1 の電流が通過する第 1 の回路部と、

前記第 1 の電流レベルに応じた電荷量を保持する容量素子と、

前記容量素子に保持された前記電荷量に基づいて、前記第 1 の電流レベルとは異なる第 2 の電流レベルを有する第 2 の電流を生成する第 2 の回路部と、を含み

、
前記第 1 の回路部及び前記第 2 の回路部の少なくともいずれかは電氣的に直列または並列に接続された複数の単位素子を含み、

前記複数の単位素子の電氣的接続は制御用素子により制御されることを特徴とする電子回路。

【請求項 6】 請求項 1 乃至 4 のいずれか 1 つに記載の電子回路において、
前記複数の単位素子のうち、前記第 1 の回路部と前記第 2 の回路部に共通な単位素子が少なくとも 1 つあることを特徴とする電子回路。

【請求項 7】 請求項 1 乃至 6 のいずれか 1 つに記載の電子回路において、
前記複数の単位素子は同一の駆動能力を有していることを特徴とする電子回路。

【請求項 8】 請求項 1 乃至 7 のいずれか 1 つに記載の電子回路において、
前記複数の単位素子は一括して形成されることを特徴とする電子回路。

【請求項 9】 請求項 1 乃至 8 のいずれか 1 つに記載の電子回路において、
前記第 1 の電流レベルは前記第 2 の電流レベルより大きいことを特徴とする電子回路。

【請求項 10】 請求項 1 乃至 8 のいずれか 1 つに記載の電子回路において

前記第 2 の電流レベルは前記第 1 の電流レベルより大きいことを特徴とする電子回路。

【請求項 11】 請求項 1 乃至 10 のいずれか 1 つに記載の電子回路において、

前記第 2 の電流が供給される電子素子を含むことを特徴とする電子回路。

【請求項 12】 請求項 11 に記載の電子回路において、
前記電子素子は電気光学素子または電流駆動素子であることを特徴とする電子回路。

【請求項 13】 請求項 12 に記載の電子回路において、
前記電子素子は有機 EL 素子であることを特徴とする電子回路。

【請求項 14】 第 1 の信号線と、第 2 の信号線と、複数の単位回路を含む電子装置であって、

前記複数の単位回路の各々は、

前記第 1 の信号線と接続し、前記第 1 の信号線から供給されるスイッチング信号によりオン状態またはオフ状態に制御されるスイッチング素子と、

前記第 2 の信号線と接続し、前記スイッチング素子がオン状態となることにより前記第 2 の信号線から供給される第 1 の電流レベルを有する第 1 の電流が通過する第 1 の回路部と、

前記第 1 の電流レベルに応じた電荷量を保持する容量素子と、

前記容量素子に保持された前記電荷量に基づいて、前記第 1 の電流レベルとは異なる第 2 の電流レベルを有する第 2 の電流を生成する第 2 の回路部と、を含み

前記第 1 の回路部及び前記第 2 の回路部のうち少なくともいずれかは直列または並列に接続された単位素子を含むことを特徴とする電子装置。

【請求項 15】 第 1 の信号線と、第 2 の信号線と、複数の単位回路を含む電子装置であって、

前記複数の単位回路の各々は、

前記第 1 の信号線と接続し、前記第 1 の信号線から供給されるスイッチング信

号によりオン状態またはオフ状態に制御されるスイッチング素子と、

前記第 2 の信号線と接続し、前記スイッチング素子がオン状態となることにより前記第 2 の信号線から供給される第 1 の電流レベルを有する第 1 の電流が通過する第 1 の回路部と、

前記第 1 の電流レベルに応じた電荷量を保持する容量素子と、

前記容量素子に保持された前記電荷量に基づいて、前記第 1 の電流レベルとは異なる第 2 の電流レベルを有する第 2 の電流を生成する第 2 の回路部と、を含み

、

前記第 1 の回路部は並列に接続された複数の単位素子を含むことを特徴とする電子装置。

【請求項 16】 第 1 の信号線と、第 2 の信号線と、複数の単位回路を含む電子装置であって、

前記複数の単位回路の各々は、

前記第 1 の信号線と接続し、前記第 1 の信号線から供給されるスイッチング信号によりオン状態またはオフ状態に制御されるスイッチング素子と、

前記第 2 の信号線と接続し、前記スイッチング素子がオン状態となることにより前記第 2 の信号線から供給される第 1 の電流レベルを有する第 1 の電流が通過する第 1 の回路部と、

前記第 1 の電流レベルに応じた電荷量を保持する容量素子と、

前記容量素子に保持された前記電荷量に基づいて、前記第 1 の電流レベルとは異なる第 2 の電流レベルを有する第 2 の電流を生成する第 2 の回路部と、を含み

、

前記第 2 の回路部は直列に接続された複数の単位素子を含むことを特徴とする電子装置。

【請求項 17】 第 1 の信号線と、第 2 の信号線と、複数の単位回路を含む電子装置であって、

前記複数の単位回路の各々は、

前記第 1 の信号線と接続し、前記第 1 の信号線から供給されるスイッチング信号によりオン状態またはオフ状態に制御されるスイッチング素子と、

前記第 2 の信号線と接続し、前記スイッチング素子がオン状態となることにより前記第 2 の信号線から供給される第 1 の電流レベルを有する第 1 の電流が通過する第 1 の回路部と、

前記第 1 の電流レベルに応じた電荷量を保持する容量素子と、

前記容量素子に保持された前記電荷量に基づいて、前記第 1 の電流レベルとは異なる第 2 の電流レベルを有する第 2 の電流を生成する第 2 の回路部と、を含み、

前記第 1 の回路部は並列に接続された複数の単位素子を含み、

前記第 2 の回路部は直列に接続された複数の単位素子を含むこと、を特徴とする電子装置。

【請求項 18】 第 1 の信号線と、第 2 の信号線と、複数の単位回路を含む電子装置であって、

前記複数の単位回路の各々は、

前記第 1 の信号線と接続し、前記第 1 の信号線から供給されるスイッチング信号によりオン状態またはオフ状態に制御されるスイッチング素子と、

前記第 2 の信号線と接続し、前記スイッチング素子がオン状態となることにより前記第 2 の信号線から供給される第 1 の電流レベルを有する第 1 の電流が通過する第 1 の回路部と、

前記第 1 の電流レベルに応じた電荷量を保持する容量素子と、

前記容量素子に保持された前記電荷量に基づいて、前記第 1 の電流レベルとは異なる第 2 の電流レベルを有する第 2 の電流を生成する第 2 の回路部と、を含み、

前記第 1 の回路部及び前記第 2 の回路部の少なくともいずれかは電氣的に直列または並列に接続された複数の単位素子を含み、

前記複数の単位素子の電氣的接続は制御用素子により制御されることを特徴とする電子装置。

【請求項 19】 請求項 14 乃至 18 のいずれか 1 つに記載の電子装置において、

前記複数の単位素子のうち、前記第 1 の回路部と前記第 2 の回路部に共通な単

位素子が少なくとも1つあることを特徴とする電子装置。

【請求項20】 請求項14乃至19のいずれか1つに記載の電子装置において、

前記複数の単位素子は同一の駆動能力を有していることを特徴とする電子装置。

【請求項21】 請求項14乃至20のいずれか1つに記載の電子装置において、

前記複数の単位素子は一括して形成されることを特徴とする電子装置。

【請求項22】 請求項14乃至21のいずれか1つに記載の電子装置において、

前記第1の電流レベルは前記第2の電流レベルより大きいことを特徴とする電子装置。

【請求項23】 請求項14乃至21のいずれか1つに記載の電子装置において、

前記第2の電流レベルは前記第1の電流レベルより大きいことを特徴とする電子装置。

【請求項24】 請求項14乃至23のいずれか1つに記載の電子装置において、

前記第2の電流が供給される電子素子を含むことを特徴とする電子装置。

【請求項25】 請求項24に記載の電子装置において、

前記電子素子は電気光学素子または電流駆動素子であることを特徴とする電子装置。

【請求項26】 請求項25に記載の電子装置において、

前記電子素子は有機EL素子であることを特徴とする電子装置。

【請求項27】 請求項1乃至13のいずれか1つに記載の電子回路を実装したことを特徴とする電子機器。

【請求項28】 請求項14乃至25のいずれか1つに記載の電子装置を実装したことを特徴とする電子機器。

【発明の詳細な説明】

【0001】**【発明の属する技術分野】**

本発明は、電子回路、電子装置及び電子機器に関するものである。

【0002】**【従来の技術】**

近年、有機EL素子といった電気光学素子を用いた電気光学装置が注目されている。有機EL素子は自発光素子なのでバックライトが不要となるので、低消費電力、高視野角、高コントラスト比の電気光学装置を実現できるものと期待されている。

【0003】

この種の電気光学装置のうち、アクティブマトリクス型と呼ばれる方式のものでは、その表示パネル部に有機EL素子に供給される駆動電流を制御するための画素回路が配設されている。

【0004】

画素回路は、その内部にデータ信号に相對した電荷量を保持するためのコンデンサと、前記電荷量に応じて前記駆動電流を制御するトランジスタとを備えている（例えば、特許文献1参照）。

【0005】**【特許文献1】**

国際公開第WO98/36406号パンフレット

【0006】**【発明が解決しようとする課題】**

しかしながら、特に電気光学素子として有機EL素子といった電流駆動素子を備えた画素回路においては、前記トランジスタの特性ばらつきが電気光学素子の輝度に直接反映されてしまう場合があるので、前記トランジスタの特性ばらつきを抑制する必要がある。

【0007】

そこで、本発明の一つの目的は、トランジスタの特性ばらつきを抑制することができる電子回路、電子装置及び電子機器を提供することにある。

また、たとえば、前記データ信号を電流信号として使用した場合は、特に、画素回路へのデータ書き込み時間が長くなったり、消費電力が大きくなったりしてしまう。そこで、本発明の一つの目的は、電流信号をデータ信号として使用した場合のデータ書き込み時間の短縮化や省電力化に適した電子回路、電子装置及び電子機器を提供することにある。

【0008】

【課題を解決するための手段】

本発明における電子回路は、第1の電流レベルを有する第1の電流が通過する第1の回路部と、前記第1の電流レベルに応じた電荷量を保持する容量素子と、前記容量素子に保持された前記電荷量に基づいて、前記第1の電流レベルとは異なる第2の電流レベルを有する第2の電流を生成する第2の回路部と、を含み、前記第1の回路部及び前記第2の回路部のうち少なくともいずれかは直列または並列に接続された単位素子を含む。

【0009】

これによれば、容量素子へのデータ信号の書き込みは電流信号で行うので単位素子の特性ばらつきを抑制することができる。また、単位素子を直列または並列に接続することによって、構成するトランジスタの占有面積が大きくなるのを抑制しつつ、入力した電流の電流レベルとは異なった電流レベルを有する電流を生成する電子回路を提供することができる。

【0010】

本発明における電子回路は、第1の電流レベルを有する第1の電流が通過する第1の回路部と、前記第1の電流レベルに応じた電荷量を保持する容量素子と、前記容量素子に保持された前記電荷量に基づいて、前記第1の電流レベルとは異なる第2の電流レベルを有する第2の電流を生成する第2の回路部と、を含み、前記第1の回路部は並列に接続された複数の単位素子を含む。

【0011】

これによれば、容量素子へのデータ信号の書き込みは電流信号で行うので単位素子の特性ばらつきを抑制することができる。また、第1の回路部の単位素子を並列に接続することによって、構成するトランジスタの占有面積が大きくなるの

を抑制しつつ、入力した電流の電流レベルとは異なった電流レベルを有する電流を生成する電子回路を提供することができる。

【0012】

本発明における電子回路は、第1の電流レベルを有する第1の電流が通過する第1の回路部と、前記第1の電流レベルに応じた電荷量を保持する容量素子と、前記容量素子に保持された前記電荷量に基づいて、前記第1の電流レベルとは異なる第2の電流レベルを有する第2の電流を生成する第2の回路部と、を含み、前記第2の回路部は直列に接続された複数の単位素子を含む。

【0013】

これによれば、容量素子へのデータ信号の書き込みは電流信号で行うので単位素子の特性ばらつきを抑制することができる。また、第1の回路部の単位素子を直列に接続することによって、構成するトランジスタの占有面積が大きくなるのを抑制しつつ、入力した電流の電流レベルとは異なった電流レベルを有する電流を生成する電子回路を提供することができる。

【0014】

本発明における電子回路は、第1の電流レベルを有する第1の電流が通過する第1の回路部と、前記第1の電流レベルに応じた電荷量を保持する容量素子と、前記容量素子に保持された前記電荷量に基づいて、前記第1の電流レベルとは異なる第2の電流レベルを有する第2の電流を生成する第2の回路部と、を含み、前記第1の回路部は並列に接続された複数の単位素子を含み、前記第2の回路部は直列に接続された複数の単位素子を含む。

【0015】

これによれば、容量素子へのデータ信号の書き込みは電流信号で行うので単位素子の特性ばらつきを抑制することができる。また、第1の回路部の単位素子を並列に接続し、第2の回路部の単位素子を直列に接続することによって、構成するトランジスタの占有面積が大きくなるのを抑制しつつ、入力した電流の電流レベルとは異なった電流レベルを有する電流を生成する電子回路を提供することができる。

【0016】

本発明における電子回路は、第 1 の電流レベルを有する第 1 の電流が通過する第 1 の回路部と、前記第 1 の電流レベルに応じた電荷量を保持する容量素子と、前記容量素子に保持された前記電荷量に基づいて、前記第 1 の電流レベルとは異なる第 2 の電流レベルを有する第 2 の電流を生成する第 2 の回路部と、を含み、前記第 1 の回路部及び前記第 2 の回路部の少なくともいずれかは電氣的に直列または並列に接続された複数の単位素子を含み、前記複数の単位素子の電氣的接続は制御用素子により制御される。

【0017】

これによれば、容量素子へのデータ信号の書き込みは電流信号で行うので単位素子の特性ばらつきを抑制することができる。また、第 1 の回路部及び第 2 の回路部を構成する単位素子数を併用することで、構成するトランジスタの占有面積が大きくなるのを抑制しつつ、入力した電流の電流レベルとは異なった電流レベルを有する電流を生成する電子回路を提供することができる。

【0018】

この電子回路において、前記複数の単位素子のうち、前記第 1 の回路部と前記第 2 の回路部に共通な単位素子が少なくとも 1 つである。

これによれば、第 1 の回路部と第 2 の回路部とをカレントミラー回路で構成することができる。

【0019】

この電子回路において、前記複数の単位素子は同一の駆動能力を有している。

これによれば、カレントミラー回路のミラー特性を向上させることができる。

この電子回路において、前記複数の単位素子は一括して形成されることが好ましい。

【0020】

これによれば、第 1 の回路部及び第 2 の回路部を備えた電子回路を容易に構成することができる。

この電子回路において、前記第 1 の電流レベルは前記第 2 の電流レベルより大きい。

【0021】

これによれば、第 1 の電流を容量素子へ高速で書き込むことができる。

この電子回路において、前記第 2 の電流レベルは前記第 1 の電流レベルより大きい。

【0022】

これによれば、第 1 の電流の電流レベルを増幅することができる。

この電子回路において、前記第 2 の電流が供給される電子素子を含む。

これによれば、構成するトランジスタの占有面積が大きくなるのを抑制しつつ、入力した電流の電流レベルとは異なった電流レベルに基づいて駆動する電子素子を有した電子回路を提供することができる。

【0023】

この電子回路において、前記電子素子は電気光学素子または電流駆動素子であってもよい。

これによれば、構成するトランジスタの占有面積が大きくなるのを抑制しつつ、入力した電流の電流レベルとは異なった電流レベルに基づいて駆動する電気光学素子または電流駆動素子を有した電子回路を提供することができる。

【0024】

この電子回路において、前記電子素子は有機 EL 素子であってもよい。

これによれば、構成するトランジスタの占有面積が大きくなるのを抑制しつつ、入力した電流の電流レベルとは異なった電流レベルに基づいて駆動する有機 EL 素子を有した電子回路を提供することができる。

【0025】

本発明における電子装置は、第 1 の信号線と、第 2 の信号線と、複数の単位回路を含む電子装置であって、前記複数の単位回路の各々は、前記第 1 の信号線と接続し、前記第 1 の信号線から供給されるスイッチング信号によりオン状態またはオフ状態に制御されるスイッチング素子と、前記第 2 の信号線と接続し、前記スイッチング素子がオン状態となることにより前記第 2 の信号線から供給される第 1 の電流レベルを有する第 1 の電流が通過する第 1 の回路部と、前記第 1 の電流レベルに応じた電荷量を保持する容量素子と、前記容量素子に保持された前記電荷量に基づいて、前記第 1 の電流レベルとは異なる第 2 の電流レベルを有する

第2の電流を生成する第2の回路部と、を含み、前記第1の回路部及び前記第2の回路部のうち少なくともいずれかは直列または並列に接続された単位素子を含む。

【0026】

これによれば、容量素子へのデータ信号の書き込みは電流信号で行うので単位素子の特性ばらつきを抑制することができる。また、単位素子を直列または並列に接続することによって、構成するトランジスタの占有面積が大きくなるのを抑制しつつ、入力した電流の電流レベルとは異なった電流レベルを有する電流を生成する電子装置を提供することができる。

【0027】

本発明における電子装置は、第1の信号線と、第2の信号線と、複数の単位回路を含む電子装置であって、前記複数の単位回路の各々は、前記第1の信号線と接続し、前記第1の信号線から供給されるスイッチング信号によりオン状態またはオフ状態に制御されるスイッチング素子と、前記第2の信号線と接続し、前記スイッチング素子がオン状態となることにより前記第2の信号線から供給される第1の電流レベルを有する第1の電流が通過する第1の回路部と、前記第1の電流レベルに応じた電荷量を保持する容量素子と、前記容量素子に保持された前記電荷量に基づいて、前記第1の電流レベルとは異なる第2の電流レベルを有する第2の電流を生成する第2の回路部と、を含み、前記第1の回路部は並列に接続された複数の単位素子を含む。

【0028】

これによれば、容量素子へのデータ信号の書き込みは電流信号で行うので単位素子の特性ばらつきを抑制することができる。また、第1の回路部の単位素子を並列に接続することによって、構成するトランジスタの占有面積が大きくなるのを抑制しつつ、入力した電流の電流レベルとは異なった電流レベルを有する電流を生成する電子装置を提供することができる。

【0029】

本発明における電子装置は、第1の信号線と、第2の信号線と、複数の単位回路を含む電子装置であって、前記複数の単位回路の各々は、前記第1の信号線と

接続し、前記第 1 の信号線から供給されるスイッチング信号によりオン状態またはオフ状態に制御されるスイッチング素子と、前記第 2 の信号線と接続し、前記スイッチング素子がオン状態となることにより前記第 2 の信号線から供給される第 1 の電流レベルを有する第 1 の電流が通過する第 1 の回路部と、前記第 1 の電流レベルに応じた電荷量を保持する容量素子と、前記容量素子に保持された前記電荷量に基づいて、前記第 1 の電流レベルとは異なる第 2 の電流レベルを有する第 2 の電流を生成する第 2 の回路部と、を含み、前記第 2 の回路部は直列に接続された複数の単位素子を含む。

【0030】

これによれば、容量素子へのデータ信号の書き込みは電流信号で行うので単位素子の特性ばらつきを抑制することができる。また、第 1 の回路部の単位素子を直列に接続することによって、構成するトランジスタの占有面積が大きくなるのを抑制しつつ、入力した電流の電流レベルとは異なった電流レベルを有する電流を生成する電子装置を提供することができる。

【0031】

本発明における電子装置は、第 1 の信号線と、第 2 の信号線と、複数の単位回路を含む電子装置であって、前記複数の単位回路の各々は、前記第 1 の信号線と接続し、前記第 1 の信号線から供給されるスイッチング信号によりオン状態またはオフ状態に制御されるスイッチング素子と、前記第 2 の信号線と接続し、前記スイッチング素子がオン状態となることにより前記第 2 の信号線から供給される第 1 の電流レベルを有する第 1 の電流が通過する第 1 の回路部と、前記第 1 の電流レベルに応じた電荷量を保持する容量素子と、前記容量素子に保持された前記電荷量に基づいて、前記第 1 の電流レベルとは異なる第 2 の電流レベルを有する第 2 の電流を生成する第 2 の回路部と、を含み、前記第 1 の回路部は並列に接続された複数の単位素子を含み、前記第 2 の回路部は直列に接続された複数の単位素子を含む。

【0032】

これによれば、容量素子へのデータ信号の書き込みは電流信号で行うので単位素子の特性ばらつきを抑制することができる。また、第 1 の回路部の単位素子を

並列に接続し、第2の回路部の単位素子を直列に接続することによって、構成するトランジスタの占有面積が大きくなるのを抑制しつつ、入力した電流の電流レベルとは異なった電流レベルを有する電流を生成する電子装置を提供することができる。

【0033】

本発明における電子装置は、第1の信号線と、第2の信号線と、複数の単位回路を含む電子装置であって、前記複数の単位回路の各々は、前記第1の信号線と接続し、前記第1の信号線から供給されるスイッチング信号によりオン状態またはオフ状態に制御されるスイッチング素子と、前記第2の信号線と接続し、前記スイッチング素子がオン状態となることにより前記第2の信号線から供給される第1の電流レベルを有する第1の電流が通過する第1の回路部と、前記第1の電流レベルに応じた電荷量を保持する容量素子と、前記容量素子に保持された前記電荷量に基づいて、前記第1の電流レベルとは異なる第2の電流レベルを有する第2の電流を生成する第2の回路部と、を含み、前記第1の回路部及び前記第2の回路部の少なくともいずれかは電氣的に直列または並列に接続された複数の単位素子を含み、前記複数の単位素子の電氣的接続は制御用素子により制御される。

【0034】

これによれば、容量素子へのデータ信号の書き込みは電流信号で行うので単位素子の特性ばらつきを抑制することができる。また、第1の回路部及び第2の回路部を構成する単位素子数を併用することで、構成するトランジスタの占有面積が大きくなるのを抑制しつつ、入力した電流の電流レベルとは異なった電流レベルを有する電流を生成する電子装置を提供することができる。

【0035】

この電子装置において、前記複数の単位素子のうち、前記第1の回路部と前記第2の回路部に共通な単位素子が少なくとも1つ設けてもよい。

これによれば、第1の回路部と第2の回路部とをカレントミラー回路で構成することができる。

【0036】

この電子装置において、前記複数の単位素子は同一の駆動能力を有している。
これによれば、カレントミラー回路のミラー特性を向上させることができる。
この電子装置において、前記複数の単位素子は一括して形成されてもよい。

【0037】

これによれば、第1の回路部及び第2の回路部を備えた電子装置を容易に構成することができる。

この電子装置において、前記第1の電流レベルは前記第2の電流レベルより大きい。

【0038】

これによれば、第1の電流を容量素子へ高速で書き込むことができる。

この電子装置において、前記第2の電流レベルは前記第1の電流レベルより大きい。

【0039】

これによれば、第1の電流の電流レベルを増幅することができる。

この電子装置において、前記第2の電流が供給される電子素子を含む。

これによれば、構成するトランジスタの占有面積が大きくなるのを抑制しつつ、入力した電流の電流レベルとは異なった電流レベルに基づいて駆動する電子素子を有した電子装置を提供することができる。

【0040】

この電子装置において、前記電子素子は電気光学素子または電流駆動素子であってもよい。

これによれば、構成するトランジスタの占有面積が大きくなるのを抑制しつつ、入力した電流の電流レベルとは異なった電流レベルに基づいて駆動する電気光学素子または電流駆動素子を有した電子装置を提供することができる。

【0041】

この電子装置において、前記電子素子は有機EL素子であってもよい。

これによれば、構成するトランジスタの占有面積が大きくなるのを抑制しつつ、入力した電流の電流レベルとは異なった電流レベルに基づいて駆動する有機EL素子を有した電子装置を提供することができる。

【0042】

本発明における電子機器は、上記の電子回路を実装した。

これによれば、トランジスタの特性ばらつきを抑制した電子機器を提供することができる。また、単位素子を直列または並列に接続することによって、構成するトランジスタの占有面積が大きくなるのを抑制しつつ、入力した電流の電流レベルとは異なった電流レベルを有する電流を生成する電子回路を備えた電子機器を提供することができる。

【0043】

本発明における電子機器は、上記の電子装置を実装した。

これによれば、トランジスタの特性ばらつきを抑制した電子機器を提供することができる。また、単位素子を直列または並列に接続することによって、構成するトランジスタの占有面積が大きくなるのを抑制しつつ、入力した電流の電流レベルとは異なった電流レベルを有する電流を生成する電子装置を備えた電子機器を提供することができる。

【0044】

【発明の実施の形態】

(第1実施形態)

以下、本発明を具体化した第1実施形態を図1～図4に従って説明する。図1は、電子装置としての有機ELディスプレイの回路構成を示すブロック回路図である。図2は、表示パネル部及びデータ線駆動回路の内部構成を示すブロック回路図である。図3は、画素回路の回路図である。図4は、画素回路の動作を示すタイミングチャートである。

【0045】

有機ELディスプレイ10は、図1に示すように、制御回路11、表示パネル部12、走査線駆動回路13及びデータ線駆動回路14を備えている。

有機ELディスプレイ10の制御回路11、走査線駆動回路13及びデータ線駆動回路14は、それぞれが独立した電子部品によって構成されていてもよい。例えば、制御回路11、走査線駆動回路13及びデータ線駆動回路14が、各々1チップの半導体集積回路装置によって構成されていてもよい。

【0046】

又、制御回路11、走査線駆動回路13及びデータ線駆動回路14の全部若しくは一部がプログラマブルなICチップで構成され、その機能がICチップに書き込まれたプログラムによりソフトウェア的に実現されてもよい。

【0047】

制御回路11は、図示しない外部装置から出力される画像データに基づいて表示パネル部12に所望の画像を表示するための走査制御信号及びデータ制御信号をそれぞれ作成する。又、制御回路11は、走査制御信号を走査線駆動回路13に出力するとともに、データ制御信号をデータ線駆動回路14に出力する。

【0048】

表示パネル部12は、図2に示すように、発光層が有機材料で構成された電子素子又は電流駆動素子としての有機EL素子21を有する複数の電子回路又は単位回路としての画素回路20がマトリクス状に配設されている。つまり、画素回路20は、列方向に沿って延びるM本のデータ線 X_m ($m=1\sim M$; m は整数)と、行方向に沿って延びるN本の走査線 Y_n ($n=1\sim N$; n は整数)との交差部に対応する位置に配設されている。また、本実施形態では、有機EL素子21は、前記データ線駆動回路14にて生成される第1の電流としてのデータ電流 I_{data} の大きさに対して $1/2.5$ 程度の大きさの第2の電流としての駆動電流 I_{el} で適宜発光する有機EL素子である。尚、画素回路20内に配置形成される後記するトランジスタは、通常はTFT(薄膜トランジスタ)で構成されている。

【0049】

走査線駆動回路13は、前記制御回路11から出力される前記走査制御信号に基づいて、表示パネル部12に設けられたN本の走査線 Y_n のうち、1本の走査線を選択し、その選択された走査線に走査信号を供給する。

【0050】

データ線駆動回路14は、複数の単一ラインドライバ23を備えている。各単一ラインドライバ23は、表示パネル部12に設けられたデータ線 X_m と接続されている。各単一ラインドライバ23は、制御回路11から出力されるデータ制

御信号に基づいて、データ電流 $I_{data1} \sim I_{datam}$ をそれぞれ生成する。又、各単一ラインドライバ 23 は、その生成されたデータ電流 $I_{data1} \sim I_{datam}$ を対応するデータ線 $X1 \sim Xm$ を介して対応する各画素回路 20 にそれぞれ供給する。各画素回路 20 は、それぞれ、このデータ電流 $I_{data1} \sim I_{datam}$ に応じて同画素回路 20 の内部状態を設定することで、各有機 EL 素子 21 に流れる駆動電流 I_{e1} を制御して同有機 EL 素子 21 の輝度階調を制御するようになっている。

【0051】

このように構成された有機 EL ディスプレイ 10 の画素回路 20 について図 3 に従って以下に説明する。尚、各画素回路 20 の回路構成はすべて同じであるので、説明の便宜上、 m 番目のデータ線 Xm と n 番目の走査線 Yn との交差部に配設された画素回路 20 について説明する。

【0052】

画素回路 20 は、5 個の駆動用トランジスタ Qs 、5 個の電流供給用トランジスタ Qp と、第 1 及び第 2 のスイッチング用トランジスタ $Q1$ 、 $Q2$ と、保持キャパシタ Cn とを含む。そして、前記駆動用トランジスタ Qs 及び電流供給用トランジスタ Qp 、第 1 のスイッチング用トランジスタ $Q1$ 、保持キャパシタ Cn は、それぞれ、特許請求の範囲に記載された単位素子、スイッチング素子、容量素子に対応している。尚、駆動用トランジスタ Qs 及び電流供給用トランジスタ Qp の導電型は、それぞれ、 p 型 (p チャネル) である。また、第 1 及び第 2 のスイッチング用トランジスタ $Q1$ 、 $Q2$ の導電型は、それぞれ、 n 型 (n チャネル) である。

【0053】

各駆動用トランジスタ Qs は、その駆動能力としての利得係数が βs となるように設定された駆動用トランジスタとして機能するトランジスタである。各電流供給用トランジスタ Qp は、その駆動能力としての利得係数が βp となるように設定されたスイッチング素子として機能するトランジスタである。また、本実施形態では、前記駆動用トランジスタ Qs の利得係数 βs は、前記電流供給用トランジスタ Qp の利得係数 βp と等しくなるように設定されている。

【0054】

第1及び第2のスイッチング用トランジスタ Q_1 、 Q_2 は、それぞれ、前記走査線駆動回路13から供給される走査信号に応じてオン・オフ制御されるスイッチング素子として機能するトランジスタである。

【0055】

5個の駆動用トランジスタ Q_s は、互いにシリアル接続されている。つまり、駆動用トランジスタ Q_s のドレインと、その駆動用トランジスタ Q_s に隣接して配設された駆動用トランジスタ Q_s のソースとが互いに接続されている。そして、前記5個の駆動用トランジスタ Q_s のうち、そのソースが隣接する駆動用トランジスタ Q_s のドレインと接続されていない駆動用トランジスタ Q_s は、そのソースが駆動電圧 V_{dd} を供給する電源線 V_L と接続されている。また、前記5個の駆動用トランジスタ Q_s のうち、そのドレインが隣接する駆動用トランジスタ Q_s のソースと接続されていない駆動用トランジスタ Q_s は、そのドレインが有機EL素子21の陽極と接続されている。有機EL素子21の陰極は接地されている。

【0056】

また、シリアル接続された前記5個の駆動用トランジスタ Q_s の各ゲートは電流供給用トランジスタ Q_p の各ゲートに共通して互いに接続されている。そして、前記したように互いにシリアル接続された5個の駆動用トランジスタ Q_s で第2の回路部としての駆動電流生成回路部30を構成している。

【0057】

また、前記駆動電流生成回路部30を構成している5個の駆動用トランジスタ Q_s の互いに接続されたゲートと、前記電源線 V_L との間には、保持キャパシタ C_n が接続されている。

【0058】

5個の電流供給用トランジスタ Q_p は互いにパラレル接続されている。つまり、5個の電流供給用トランジスタ Q_p の各ソース、各ゲート及び各ドレインは、それぞれ、互いに接続されている。そして、電流供給用トランジスタ Q_p の各ドレインは互いに接続されて前記電源線 V_L に接続されている。電流供給用トラン

ジスタ Q_p の各ゲートは、互いに接続されて駆動電流生成回路部 30 を構成する 5 個の駆動用トランジスタ Q_s の各ゲートに接続されている。

【0059】

更に、電流供給用トランジスタ Q_p の各ドレインは互いに接続されて、第 1 のスイッチング用トランジスタ Q_1 に接続されている。第 1 のスイッチング用トランジスタ Q_1 のソースは、前記データ線 X_m と接続されてデータ線駆動回路 14 に電氣的に接続されている。第 1 のスイッチング用トランジスタ Q_1 のゲートは、第 1 の信号線としての第 1 の副走査線 Y_{n1} が接続され、前記走査線駆動回路 13 に接続されている。そして、前記したように互いに平行接続された 5 個の電流供給用トランジスタ Q_p で第 1 の回路部としての電流供給回路部 40 を構成している。この駆動電流生成回路部 30 と電流供給回路部 40 とで電流値変換手段が構成されている。

【0060】

また、電流供給回路部 40 を構成する 5 個の電流供給用トランジスタ Q_p の各ドレインと、同電流供給用トランジスタ Q_p の各ゲートとの間には、第 2 のスイッチング用トランジスタ Q_2 が接続されている。第 2 のスイッチング用トランジスタ Q_2 のゲートは、第 2 の信号線としての第 2 の副走査線 Y_{n2} が接続され、前記走査線駆動回路 13 に電氣的に接続されている。つまり、第 2 のスイッチング用トランジスタ Q_2 はオン状態になることで、電流供給回路部 40 を構成する 5 個の電流供給用トランジスタ Q_p がそれぞれダイオード接続される。そして、各電流供給用トランジスタ Q_p がダイオード接続されることで、各電流供給用トランジスタ Q_p と駆動電流生成回路部 30 を構成している 5 個の駆動用トランジスタ Q_s とが前記保持キャパシタ C_n を介してカレントミラー回路を構成する。また、前記第 1 及び第 2 の副走査線 Y_{n1} , Y_{n2} で走査線 Y_n を構成している。

【0061】

このように構成された駆動電流生成回路部 30 及び電流供給回路部 40 の作用について以下に説明する。

一般に、等しい利得係数を有する複数のトランジスタを互いにシリアル接続し

た場合、互いにシリアル接続されたトランジスタの合成利得係数は、各トランジスタの利得係数をその接続されたトランジスタの数で割った値となることが知られている。つまり、シリアル接続されたトランジスタの数を n 、各トランジスタの利得係数を β で表すと、互いにシリアル接続されたトランジスタの合成利得係数 β_{so} は、以下のようになる。

【0062】

$$\beta_{so} = \beta / n$$

従って、本実施形態の利得係数 β_s を有する 5 個の駆動用トランジスタ Q_s から構成される駆動電流生成回路部 30 の合成利得係数 β_{so} は以下のようになる。

【0063】

$$\beta_{so} = \beta_s / 5$$

また、等しい利得係数を有する複数のトランジスタを互いにパラレル接続した場合、互いにパラレル接続されたトランジスタの合成利得係数は、各トランジスタの利得係数をその接続されたトランジスタの数で掛けた値となることが知られている。つまり、パラレル接続されたトランジスタの数を n 、各トランジスタの利得係数を β_p で表すと、パラレル接続されたトランジスタの合成利得係数 β_{po} は、以下のようになる。

【0064】

$$\beta_{po} = \beta_p \cdot n$$

従って、本実施形態の利得係数 β_p を有する 5 個の電流供給用トランジスタ Q_p から構成される電流供給回路部 40 の合成利得係数 β_{po} は以下のようになる。

【0065】

$$\beta_{po} = 5 \beta_p$$

ここで、データ電流 I_{data} と駆動電流 I_{el} との相対比率を前記駆動電流生成回路部 30 及び電流供給回路部 40 のそれぞれの合成利得係数 β_{so} 、 β_{po} で表すと以下の式のようにになる。

【0066】

$$I_{data} : I_{el} = \beta_{po} : \beta_{so}$$

ここで、駆動電流生成回路部 30 の合成利得係数 β_{so} は $\beta_s / 5$ であって、電流供給回路部 40 の合成利得係数 β_{po} は $5\beta_p$ であるので、データ電流 I_{data} と駆動電流 I_{el} との相対比率は以下ようになる。

【0067】

$$I_{data} : I_{el} = 5\beta_p : \beta_s / 5$$

前記電流供給用トランジスタ Q_p の利得係数 β_p は、前記したように、前記駆動用トランジスタ Q_s の利得係数 β_s と等しくなるように設定されているので、上式は以下のように表される。

【0068】

$$\begin{aligned} I_{data} : I_{el} &= \beta_{po} : \beta_{so} \\ &= 5 : 1 / 5 \end{aligned}$$

従って、データ電流 I_{data} は以下の式で表される。

【0069】

$$I_{data} = 25 I_{el}$$

従って、本発明の画素回路 20 は、駆動電流 I_{el} の 25 倍の電流レベルを有するデータ電流 I_{data} を供給させることができるので、その分だけデータ電流 I_{data} に対する前記第 1 の電流レベルを高速で保持キャパシタ C_n に書き込むことができる。また、保持キャパシタ C_n へのデータの書き込みは電流信号であるデータ電流 I_{data} であるので、画素回路 20 毎の前記駆動用トランジスタ Q_s の閾値電圧等の特性のばらつきを抑制することができる。

【0070】

さらに、前記駆動用トランジスタ Q_s 及び電流供給用トランジスタ Q_p は、それぞれ、同じ利得係数を有するように形成されているので、異なった利得係数でカレントミラー回路するようにしたときと比べてそのミラー特性の精度を向上させることができる。

【0071】

次に、駆動電流生成回路部 30 及び電流供給回路部 40 を備えた画素回路 20 に配設された全トランジスタの占有面積を算出する。

まず、駆動電流生成回路部 30 を構成する 5 個の駆動用トランジスタ Q_s の占有面積 S_1 を算出する。一般に、トランジスタの占有面積は、そのトランジスタのチャネル長が等しい場合、利得係数に比例することが知られている。前記各駆動用トランジスタ Q_s は、その利得係数 β_s がそれぞれ等しいので、駆動電流生成回路部 30 の占有面積 S_1 は各駆動用トランジスタ Q_s の占有面積を S_{Qs} で表すと以下ようになる。

【0072】

$$S_1 = 5 S_{Qs}$$

次に、電流供給回路部 40 を構成する 5 個の電流供給用トランジスタ Q_p の占有面積 S_2 を算出する。前記各電流供給用トランジスタ Q_p は、その利得係数 β_p がそれぞれ等しいので、5 個の電流供給用トランジスタ Q_p の占有面積 S_2 は各電流供給用トランジスタ Q_p の占有面積を S_{Qp} で表すと以下ようになる。

【0073】

$$S_2 = 5 S_{Qp}$$

従って、前記画素回路 20 に配設された全トランジスタの占有面積 S_t は、前記第 1 及び第 2 のスイッチング用トランジスタ Q_1 , Q_2 の占有面積を、それぞれ、 S_{Q1} , S_{Q2} で表すと、以下ようになる。

【0074】

$$S_t = 5 S_{Qs} + 5 S_{Qp} + S_{Q1} + S_{Q2}$$

ここで、前記したように、前記駆動用トランジスタ Q_s の利得係数 β_s と前記電流供給用トランジスタ Q_p の利得係数 β_p とは、等しくなるように設定されているので、駆動用トランジスタ Q_s の占有面積 S_{Qs} と電流供給用トランジスタ Q_p の占有面積 S_{Qp} とは等しい値となる。また、第 1 及び第 2 のスイッチング用トランジスタ Q_1 , Q_2 は、前記したようにそれぞれスイッチング素子として機能するトランジスタである。従って、第 1 のスイッチング用トランジスタ Q_1 の占有面積 S_{Q1} 及び第 2 のスイッチング用トランジスタ Q_2 の占有面積 S_{Q2} が互いに等しいと仮定し、それらの占有面積 S_{Q1} , S_{Q2} が、前記駆動用トランジスタ Q_s 及び電流供給用トランジスタ Q_p の前記占有面積 S_{Qs} と等しいと仮定する。すると、画素回路 20 の全トランジスタの占有面積 S_t は、駆動用トラ

ンジスタ Q_s の占有面積を S_{Qs} で表すと以下のようになる。

【0075】

$$\begin{aligned} S_t &= 5 S_{Qs} + 5 S_{Qp} + S_{Q1} + S_{Q2} \\ &= 12 S_{Qs} \end{aligned}$$

次に、前記駆動電流生成回路部 30 を 1 個の駆動用トランジスタ Q_s で構成するとともに前記電流供給回路部 40 を 1 個の電流供給用トランジスタ Q_p で構成し、他の第 1 及び第 2 のスイッチング用トランジスタ Q_1 、 Q_2 は前記画素回路 20 と同じように配設された画素回路の全トランジスタの占有面積 A_o を算出する。また、このとき、前記電流供給用トランジスタ Q_p の利得係数は、前記駆動用トランジスタ Q_s の利得係数より 2.5 倍大きいと仮定する。このように仮定することで、前記画素回路 20 と同じ電流レベルのデータ電流 I_{data} を保持キャパシタ C_n に供給することができる。

【0076】

すると、前記したように、トランジスタの占有面積は利得係数に対応して大きくなるので、前記電流供給用トランジスタ Q_p の占有面積 S_{Qp} と駆動用トランジスタ Q_s の占有面積 S_{Qs} との関係は以下のように表わされる。

【0077】

$$S_{Qp} = 2.5 S_{Qs}$$

従って、前記占有面積 A_o は以下のように表わされる。

$$\begin{aligned} A_o &= S_{Qp} + S_{Qs} + S_{Q1} + S_{Q2} \\ &= 2.5 S_{Qs} + S_{Qs} + S_{Q1} + S_{Q2} \\ &= 2.6 S_{Qs} + S_{Q1} + S_{Q2} \end{aligned}$$

ここで、前記画素回路 20 に配設された全トランジスタの占有面積 S_t の場合と同様に、第 1 及び第 2 のスイッチング用トランジスタ Q_1 、 Q_2 のそれぞれの占有面積 S_{Q1} 及び S_{Q2} が互いに等しいと仮定する。そして、その第 1 及び第 2 のスイッチング用トランジスタ Q_1 、 Q_2 のそれぞれの占有面積 S_{Q1} 及び S_{Q2} が駆動用トランジスタ Q_s の占有面積 S_{Qs} と等しいと仮定すると、前記占有面積 A_o は、以下のようになる。

【0078】

$$\begin{aligned} A_o &= 26SQ_s + SQ_1 + SQ_2 \\ &= 28SQ_s \end{aligned}$$

以上の結果から、駆動電流生成回路部 30 を 1 個の駆動用トランジスタ Q_s で構成するとともに電流供給回路部 40 を 1 個の電流供給用トランジスタ Q_p で構成した画素回路と比べて、図 3 に示した画素回路 20 は駆動電流 I_{e1} に対して同じだけのデータ電流 I_{data} の電流量を供給させることができるとともに、トランジスタの占有面積を約 60% 削減させることができる。このトランジスタの占有面積 S_o の削減比率は前記データ電流 I_{data} と駆動電流 I_{e1} との相対比率が大きくなるほど大きくなる。そのため、画素回路の開口率においては、駆動電流生成回路部 30 を複数の駆動用トランジスタ Q_s で構成するとともに電流供給回路部 40 を複数の電流供給用トランジスタ Q_p で構成した画素回路の方が開口率をより大きくすることができるという効果が得られる。

【0079】

次に、前記駆動電流生成回路部 30 及び電流供給回路部 40 を備えた画素回路 20 の駆動方法について図 4 に従って説明する。図 4 は、第 1 及び第 2 のスイッチング用トランジスタ Q_1 , Q_2 に供給されるスイッチング信号としての第 1 の走査信号 SC_1 及び第 2 の走査信号 SC_2 と、有機 EL 素子 21 に流れる駆動電流 I_{e1} とのタイミングチャートである。

【0080】

また、図 4 において、 T_c 、 T_1 及び T_2 は、それぞれ、駆動周期、データ書き込み期間及び発光期間を表している。駆動周期 T_c は、データ書き込み期間 T_1 と発光期間 T_2 とから成っている。駆動周期 T_c は、前記有機 EL 素子 21 の輝度階調が 1 回ずつ更新される周期を意味しており、所謂、フレーム周期と同じものである。

【0081】

まず、前記走査線駆動回路 13 から所定のデータ書き込み期間 T_1 に第 1 及び第 2 の副走査線 Y_{n1} , Y_{n2} を介して第 1 及び第 2 のスイッチング用トランジスタ Q_1 , Q_2 をオン状態にする第 1 及び第 2 の走査信号 SC_1 , SC_2 がそれぞれ供給される。第 1 及び第 2 のスイッチング用トランジスタ Q_1 , Q_2 をオン

状態にする第1及び第2の走査信号が供給されると、第1及び第2のスイッチング用トランジスタ Q_1 、 Q_2 が、それぞれ、データ書き込み期間 T_1 でオン状態になる。このことによって、画素回路20にデータ電流 $I_{data m}$ が供給されるとともに、電流供給回路部40を構成する5個の電流供給用トランジスタ Q_p がダイオード接続される。そして、前記電流供給用トランジスタ Q_p と駆動電流生成回路部30を構成している5個の駆動用トランジスタ Q_s とが電氣的に接続されてカレントミラー回路を構成する。すると、前記データ電流 $I_{data m}$ が前記電流供給回路部40を通過して、第1の電流レベルとしてのデータ電流 $I_{data m}$ の電流レベルに相対した電荷量が前記保持キャパシタ C_n に保持される。その結果、前記保持キャパシタ C_n に保持された電荷量に応じた電圧が前記駆動電流生成回路部30を構成する5個の駆動用トランジスタ Q_s の各ゲート／ソース間に印加される。

【0082】

次に、前記データ書き込み期間 T_1 後、所定の発光期間 T_2 に前記走査線駆動回路13から第1及び第2の副走査線 Y_{n1} 、 Y_{n2} を介して第1及び第2のスイッチング用トランジスタ Q_1 、 Q_2 をオフ状態にする第1及び第2の走査信号 SC_1 、 SC_2 が供給される。第1及び第2のスイッチング用トランジスタ Q_1 、 Q_2 をオフ状態にする第1及び第2の走査信号が供給されると、第1及び第2のスイッチング用トランジスタ Q_1 、 Q_2 が、それぞれ、発光期間 T_2 でオフ状態になる。このことによって、前記保持キャパシタ C_n に保持された電荷量に応じた電圧が前記駆動電流生成回路部30を構成する5個の駆動用トランジスタ Q_s の各ゲート／ソース間に印加される。そして、各駆動用トランジスタ Q_s は、前記保持キャパシタ C_n に保持された電荷量に応じた電圧に基づいた大きさの駆動電流 I_{el} を生成する。このとき、前記駆動電流生成回路部30にて生成される前記駆動電流 I_{el} の電流レベルは、前記データ電流 I_{data} の $1/25$ 倍の値となる。

【0083】

尚、第1及び第2スイッチング用トランジスタ Q_{s1} 、 Q_{s2} は、データ書き込み期間 T_1 にてオン状態となり、発光期間 T_2 でオフ状態となるように設定さ

れていることが好ましいが、特にこれには限定されない。

【0084】

(1) このように本実施形態では、互いに等しい利得係数 β_s を有する 5 個の駆動用トランジスタ Q_s をシリアル接続することで駆動電流生成回路部 30 を形成した。また、互いに等しい利得係数 β_p を有する 5 個の電流供給用トランジスタ Q_p をパラレル接続することで電流供給回路部 40 を形成した。そして、駆動電流生成回路部 30 を構成する駆動用トランジスタ Q_s の各ゲートを電流供給回路部 40 を構成する電流供給用トランジスタ Q_p の各ゲートと接続することで、駆動用トランジスタ Q_s と電流供給用トランジスタ Q_p とがカレントミラー回路を構成するようにした。そして、前記駆動用トランジスタ Q_s の各ゲートにはデータ電流 I_{data} に相対した電荷量を保持する保持キャパシタ C_n を接続した。また、前記電流供給回路部 40 をデータ電流 I_{data} を供給するデータ線 X_m に電氣的に接続した。そして、前記駆動電流生成回路部 30 にて生成された駆動電流 I_{el} が有機 EL 素子 21 に供給されるようにした。

【0085】

このことによって、データ電流 I_{data} の電流レベルを駆動電流 I_{el} の 2.5 倍に設定することができる。従って、その分だけデータ電流 I_{data} を高速で保持キャパシタ C_n に書き込むことができる。また、前記保持キャパシタ C_n へのデータの書き込みは電流信号であるデータ電流 I_{data} で行うので、画素回路 20 毎の前記駆動用トランジスタ Q_s の閾値電圧等の特性のばらつきを抑制することができる。

【0086】

(2) また、本実施形態では、所定の利得係数を有するトランジスタのパラレル接続、及び、シリアル接続といった方法、すなわち単位素子の組み合わせを利用してカレントミラー回路を構成した。こうすることにより、異なる利得係数を持つトランジスタでカレントミラー回路を構成する場合に比べて、ミラー特性の精度を向上させることができる。

【0087】

(3) 更に、本実施形態では、互いに等しい利得係数 β_s を有する 5 個の駆動

用トランジスタ Q_s をシリアル接続することで駆動電流生成回路部 30 を形成した。また、互いに等しい利得係数 β_p を有する 5 個の電流供給用トランジスタ Q_p をパラレル接続することで電流供給回路部 40 を形成した。このことによって、駆動電流 I_{e1} の 25 倍の電流レベルを有するデータ電流 I_{data} を供給しつつ開口率の低下を抑制することができる画素回路を提供することができる。

(第 2 実施形態)

次に、本発明を具体化した第 2 実施形態を図 5 ～ 図 8 に従って説明する。尚、本実施形態において、前記第 1 実施形態と同じ構成部材については符号を等しくし、その詳細な説明を省略する。

【0088】

図 5 は、有機 EL ディスプレイ 10 の表示パネル部 12 に配設される画素回路 50 の回路図である。図 6 は、画素回路の動作を示すタイミングチャートである。図 7 及び図 8 は、それぞれ、画素回路 50 の等価回路である。

【0089】

画素回路 50 は、前記第 1 実施形態で記載した駆動電流生成回路部 30 と電流供給回路部 40 との作用を兼ねる電流制御回路部 60 を含む。詳述すると、画素回路 50 は、駆動用トランジスタとして機能する 5 個のトランジスタ $Q_{d1} \sim Q_{d5}$ と、スイッチング素子として機能する第 1 ～ 第 7 のスイッチング用トランジスタ $Q_1 \sim Q_7$ と、保持キャパシタ C_n と、有機 EL 素子 21 とを含む。そして、前記第 1 ～ 第 7 のスイッチング用トランジスタ $Q_1 \sim Q_7$ のうち、第 4 ～ 第 7 のスイッチング用トランジスタ $Q_4 \sim Q_7$ が特許請求の範囲に記載された制御用素子に対応している。

【0090】

前記 5 個の第 1 ～ 第 5 のトランジスタ $Q_{d1} \sim Q_{d5}$ の導電型は全て p 型 (p チャネル) である。また、前記 7 個の第 1 ～ 第 7 のスイッチング用トランジスタ $Q_1 \sim Q_7$ の導電型は n 型 (n チャネル) である。第 1 ～ 第 5 のトランジスタ $Q_{d1} \sim Q_{d5}$ は、その利得係数 β_d が全て等しくなるように設定されている。第 1 ～ 第 7 のスイッチング用トランジスタ $Q_1 \sim Q_7$ は、それぞれ、前記走査線駆動回路 13 から供給される走査信号に応じてオン・オフ制御されるようになって

いる。

【0091】

第1～第5のトランジスタQ d 1～Q d 5のうち、第1のトランジスタQ d 1のソースは、駆動電圧V d dを供給する電源線V Lに接続されている。第1のトランジスタQ d 1のドレインは、第2のトランジスタQ d 2のソース又はドレインのうちの一方の電極と接続されている。第1のトランジスタQ d 1のソースは、前記第2のトランジスタQ d 2の同第1のトランジスタQ d 1のドレインと接続されていない方の電極に、第4のスイッチング用トランジスタQ 4を介して接続されている。

【0092】

第2のトランジスタQ d 2の第4のスイッチング用トランジスタQ 4と接続されたソース又はドレインは、第3のトランジスタQ d 3のドレイン又はソースと接続されている。第2のトランジスタQ d 2の第3のトランジスタQ d 3のドレインまたはソースと接続されていない方の電極は、第6のスイッチング用トランジスタQ 6のソース又はドレインに接続されている。第6のスイッチング用トランジスタQ 6の第2のトランジスタQ d 2のソース又はドレインと接続されていない方の電極は第3のトランジスタQ d 3の第2のトランジスタQ d 2と接続されていない方の電極に接続されている。

【0093】

第3のトランジスタQ d 3の第6のスイッチング用トランジスタQ 6のソース又はドレインと接続された方の電極は、第4のトランジスタQ d 4のドレイン又はソースと接続されている。第3のトランジスタQ d 3の第4のトランジスタQ d 4のドレインまたはソースと接続されていない方の電極は、第5のスイッチング用トランジスタQ 5のソース又はドレインに接続されている。第5のスイッチング用トランジスタQ 5の第3のトランジスタQ d 3のソース又はドレインと接続されていない方の電極は、第4のトランジスタQ d 4の第3のトランジスタQ d 3と接続されていない方の電極に接続されている。

【0094】

第4のトランジスタQ d 4の第5のスイッチング用トランジスタQ 5のソース

又はドレインと接続されたソース又はドレインは、第5のトランジスタQ d 5のソースに接続されている。第4のトランジスタQ d 4の第5のスイッチング用トランジスタQ 5のドレイン又はソースと接続されていない方の電極は、第7のスイッチング用トランジスタQ 7のソース又はドレインに接続されている。第7のスイッチング用トランジスタQ 7の第4のトランジスタQ d 4と接続されていない方の電極は、第5のトランジスタQ d 5のドレインに接続されている。第5のトランジスタQ d 5のドレインは、第1のスイッチング用トランジスタQ 1のドレインに接続されている。第1のスイッチング用トランジスタQ 1のソースはデータ線X mに接続され、データ線駆動回路14に電氣的に接続されている。

【0095】

また、前記第4～第7のスイッチング用トランジスタQ 4～Q 7の各ゲートは互いに接続して第3の副走査線Y n 3に共通して接続されている。

そして、このように配設された前記第1～第5のトランジスタQ d 1～Q d 5と、第4～第7のスイッチング用トランジスタQ 4～Q 7とで電流制御回路部60を構成している。

【0096】

また、電流制御回路部60を構成する前記第1～第5のトランジスタQ d 1～Q d 5のそれぞれのゲートは、互いに共通して接続され、保持キャパシタC nと第2のスイッチング用トランジスタQ 2のドレインに接続されている。保持キャパシタC nの前記第1～第5のトランジスタQ d 1～Q d 5のそれぞれのゲートと接続されていない方の電極は前記電源線V Lに接続されている。また、第2のスイッチング用トランジスタQ 2のソースは、前記第1のスイッチング用トランジスタQ 1のドレインと第3のスイッチング用トランジスタQ 3のドレインにそれぞれ接続されている。第2のスイッチング用トランジスタQ 2のゲートは第1のスイッチング用トランジスタQ 1のゲートと共通して接続され、第1の副走査線Y n 1に接続されている。第3のスイッチング用トランジスタQ 3のゲートは第2の副走査線Y n 2に接続されている。第3のスイッチング用トランジスタQ 3のソースは、有機EL素子21の陽極に接続されている。有機EL素子21の陰極は接地されている。

【0097】

次に、前記電流制御回路部60を備えた画素回路50の作用について説明する。

画素回路50を構成する電流制御回路部60は、走査線駆動回路13から供給される第3の走査信号SC3に応じて前記第4～第7のスイッチング用トランジスタQ4～Q7がそれぞれオン・オフ制御されることで、その合成利得係数 β_o が変化するように設定されている。詳述すると、電流制御回路部60は、画素回路50にデータ電流Idataを供給するとき、走査線駆動回路13から第4～第7のスイッチング用トランジスタQ4～Q7をオン状態にする第3の走査信号SC3が第4～第7のスイッチング用トランジスタQ4～Q7の各ゲートに供給される。すると、第4～第7のスイッチング用トランジスタQ4～Q7がそれぞれオン状態になる。

【0098】

このとき、前記電流制御回路部60を構成する5個の第1～第5のトランジスタQd1～Qd5は、互いにパラレル接続される。第1～第5のトランジスタQd1～Qd5が互いにパラレル接続された電流制御回路部60の合成利得係数 β_{po} は、各第1～第5のトランジスタQ1～Q5の利得係数 β_d を用いると、以下のようなになる。

【0099】

$$\beta_{po} = 5 \beta_d$$

また、電流制御回路部60は駆動電流Ielを生成するとき、走査線駆動回路13から第4～第7のスイッチング用トランジスタQ4～Q7をそれぞれオフ状態にする第3の走査信号SC3が第4～第7のスイッチング用トランジスタQ4～Q7の各ゲートに供給される。すると、第4～第7のスイッチング用トランジスタQ4～Q7がそれぞれオフ状態になる。

【0100】

このとき、前記電流制御回路部60を構成する5個の第1～第5のトランジスタQd1～Qd5は、互いにシリアル接続される。第1～第5のトランジスタQd1～Qd5が互いにシリアル接続された電流制御回路部60の合成利得係数 β

s o は各第 1 ～ 第 5 のトランジスタ Q 1 ～ Q 5 の利得係数 βd を用いると、以下のようになる。

【0101】

$$\beta s o = \beta d / 5$$

従って、データ電流 I d a t a と駆動電流 I e l との比を、前記第 1 ～ 第 5 のトランジスタ Q d 1 ～ Q d 5 が互いにパラレル接続されたときの合成利得係数 $\beta p o$ と、シリアル接続されたときの合成利得係数 $\beta s o$ とで表すと以下の式のようになる。

【0102】

$$\begin{aligned} I d a t a : I e l &= \beta p o : \beta s o \\ &= 5 \beta d : \beta d / 5 \\ &= 5 : 1 / 5 \end{aligned}$$

従って、データ電流 I d a t a は以下の式で表される。

【0103】

$$I d a t a = 25 I e l$$

従って、本実施形態の画素回路 50 は、駆動電流 I e l の 25 倍の電流レベルを有するデータ電流 I d a t a を供給させることができる。つまり、前記データ電流 I d a t a の電流レベルは、駆動電流 I e l の電流レベルより 25 倍大きいので、その分だけデータ電流 I d a t a m を高速で保持キャパシタ C n に書き込むことができる。また、前記保持キャパシタ C n へのデータの書き込みは電流信号であるデータ電流 I d a t a であるので、画素回路 50 毎の前記第 1 ～ 第 5 のトランジスタ Q d 1 ～ Q d 5 の閾値電圧等の特性のばらつきを抑制することができる。

【0104】

次に、前記電流制御回路部 60 を備えた画素回路 50 に配設された全トランジスタの占有面積を算出する。

第 1 ～ 第 5 のトランジスタ Q d 1 ～ Q d 5 の各占有面積を、それぞれ、S Q d 1 ～ S Q d 5、第 1 ～ 第 7 のスイッチング用トランジスタ Q 1 ～ Q 7 の各占有面積を、それぞれ、S Q 1 ～ S Q 7 で表すと、画素回路 50 の全トランジスタの占

有面積 S_t は以下になる。

【0105】

$$S_t = S_{Qd1} + S_{Qd2} + S_{Qd3} + S_{Qd4} + S_{Qd5} + S_{Q1} + S_{Q1} + S_{Q2} + S_{Q3} + S_{Q4} + S_{Q5} + S_{Q6} + S_{Q7}$$

ここで、前記第1～第5のトランジスタ $Q_{d1} \sim Q_{d5}$ の利得係数 β_d は全て等しい値であるので、各第1～第5のトランジスタ $Q_{d1} \sim Q_{d5}$ の占有面積 $S_{Qd1} \sim S_{Qd5}$ は等しい値となる。また、第1～第7のスイッチング用トランジスタ $Q1 \sim Q7$ はそれぞれスイッチング素子として機能するトランジスタであるので、その占有面積は等しいと仮定する。

【0106】

従って、前記画素回路50に配設された全トランジスタの占有面積 S_t は、各第1～第5のトランジスタ $Q_{d1} \sim Q_{d5}$ の占有面積を、 S_{Qd} で、また、各第1～第7のスイッチング用トランジスタ $Q1 \sim Q7$ の占有面積を S_{Qo} でそれぞれ表すと、以下になる。

$$\begin{aligned} S_t &= S_{Qd1} + S_{Qd2} + S_{Qd3} + S_{Qd4} + S_{Qd5} + S_{Q1} + S_{Q1} + S_{Q2} + S_{Q3} + S_{Q4} + S_{Q5} + S_{Q6} + S_{Q7} \\ &= 5 S_{Qd} + 7 S_{Qo} \end{aligned}$$

ここで、第1～第7のスイッチング用トランジスタ $Q1 \sim Q7$ の占有面積 S_{Qo} が、前記第1～第5のトランジスタ $Q_{d1} \sim Q_{d5}$ の占有面積 S_{Qd} と等しいと仮定する。すると、画素回路50の全トランジスタの占有面積 S_t は、第1～第5のトランジスタ $Q_{d1} \sim Q_{d5}$ の占有面積を S_{Qo} で表すと以下になる。

【0107】

$$\begin{aligned} S_t &= 5 S_{Qd} + 7 S_{Qo} \\ &= 12 S_{Qd} \end{aligned}$$

従って前記電流制御回路部60を備えた画素回路50においても前記第1実施形態と同様な効果を得ることができる。

【0108】

次に、前記電流制御回路部60を備えた画素回路50の駆動方法について図6

～図 8 に従って説明する。図 6 は、第 1、第 2 及び第 3 のスイッチング用トランジスタ Q_1 、 Q_2 、 Q_3 に供給される第 1、第 2 及び第 3 の走査信号 SC_1 、 SC_2 、 SC_3 と、有機 EL 素子 21 に流れる駆動電流 I_{e1} とのタイミングチャートである。

【0109】

まず、前記走査線駆動回路 13 から所定のデータ書き込み期間 T_1 に第 1 の副走査線 Y_{n1} を介して第 1 及び第 2 のスイッチング用トランジスタ Q_1 、 Q_2 をオン状態にする第 1 の走査信号 SC_1 が供給される。また、このとき、走査線駆動回路 13 から第 2 の副走査線 Y_{n2} を介して第 3 のスイッチング用トランジスタ Q_3 をオフ状態にする第 3 の走査信号 SC_3 が供給される。更に、走査線駆動回路 13 から第 3 の副走査線 Y_{n3} を介して第 4～第 7 のスイッチング用トランジスタ Q_4 ～ Q_7 をオン状態にする第 3 の走査信号 SC_3 が供給される。

【0110】

第 1 及び第 2 のスイッチング用トランジスタ Q_1 、 Q_2 をオン状態にする第 1 の走査信号 SC_1 が供給されると、第 1 及び第 2 のスイッチング用トランジスタ Q_1 、 Q_2 が、それぞれオン状態になる。また、第 3 のスイッチング用トランジスタ Q_3 をオフ状態にする第 3 の走査信号 SC_3 が供給されると、第 3 のスイッチング用トランジスタ Q_3 がオフ状態になる。更に、第 4～第 7 のスイッチング用トランジスタ Q_4 ～ Q_7 をオン状態にする第 3 の走査信号 SC_3 が供給されると、第 4～第 7 のスイッチング用トランジスタ Q_4 ～ Q_7 がオン状態になる。

【0111】

図 7 は、前記データ書き込み期間 T_1 での画素回路 50 の等価回路である。データ書き込み期間 T_1 では、前記データ線駆動回路 14 から供給されるデータ電流 I_{data} がデータ線 X_m を介して画素回路 50 に供給される。そして、前記データ電流 I_{data} に相対した電荷量が保持キャパシタ C_n に保持される。このとき、画素回路 50 の電流制御回路部 60 を構成する 5 個の第 1～第 5 のトランジスタ Q_{d1} ～ Q_{d5} は、図 7 に示すように、互いにパラレル接続されている。第 1～第 5 のトランジスタ Q_{d1} ～ Q_{d5} が互いにパラレル接続された電流制御回路部 60 の合成利得係数 β_{po} は $5\beta_d$ となる。保持キャパシタ C_n には、

この状態を保存するような電荷が蓄えられる。

【0112】

次に、前記走査線駆動回路13から所定の発光期間 T_2 に第1の副走査線 Y_n1 を介して第1及び第2のスイッチング用トランジスタ Q_1 、 Q_2 をオフ状態にする第1の走査信号 SC_1 が供給される。また、このとき、走査線駆動回路13から第2の副走査線 Y_n2 を介して第3のスイッチング用トランジスタ Q_3 をオン状態にする第3の走査信号 SC_3 が供給される。更に、走査線駆動回路13から第3の副走査線 Y_n3 を介して第4～第7のスイッチング用トランジスタ Q_4 ～ Q_7 をオフ状態にする第3の走査信号 SC_3 が供給される。

【0113】

第1及び第2のスイッチング用トランジスタ Q_1 、 Q_2 をオフ状態にする第1の走査信号 SC_1 が供給されると、第1及び第2のスイッチング用トランジスタ Q_1 、 Q_2 が、それぞれオフ状態になる。また、第3のスイッチング用トランジスタ Q_3 をオン状態にする第3の走査信号 SC_3 が供給されると、第3のスイッチング用トランジスタ Q_3 がオン状態になる。更に、第4～第7のスイッチング用トランジスタ Q_4 ～ Q_7 をオフ状態にする第3の走査信号 SC_3 が供給されると、第4～第7のスイッチング用トランジスタ Q_4 ～ Q_7 がオフ状態になる。

【0114】

図8は、前記発光期間 T_2 での画素回路50の等価回路である。発光期間 T_2 での電流制御回路部60は、図8に示すように、同電流制御回路部60を構成する5個の第1～第5のトランジスタ Q_{d1} ～ Q_{d5} が互いにシリアル接続されている。第1～第5のトランジスタ Q_{d1} ～ Q_{d5} が互いにシリアル接続された電流制御回路部60の合成利得係数 β_{so} は $\beta_d/5$ となる。

【0115】

そして、画素回路50は、前記保持キャパシタ C_n に保持されたデータ電流 I_{data} に相対した電荷量に応じた前記電圧に基づいて互いにシリアル接続された第1～第5のトランジスタ Q_{d1} ～ Q_{d5} にて駆動電流 I_{el} を生成する。そして、前記駆動電流 I_{el} が有機EL素子21に供給されることで、同有機EL素子21が駆動電流 I_{el} の電流レベルに応じて発光する。

【0116】

この結果、電流制御回路部 60 を有する画素回路 50 においても、前記第 1 実施形態と同様な効果を得ることができる。

(第 3 実施形態)

次に、第 1 及び第 2 実施形態で説明した電気光学装置としての有機 EL ディスプレイ 10 の電子機器の適用について図 9 及び図 10 に従って説明する。有機 EL ディスプレイ 10 は、モバイル型のパーソナルコンピュータ、携帯電話、デジタルカメラ等種々の電子機器に適用できる。

【0117】

図 9 は、モバイル型パーソナルコンピュータの構成を示す斜視図を示す。図 9 において、パーソナルコンピュータ 70 は、キーボード 71 を備えた本体部 72 と、前記有機 EL ディスプレイ 10 を用いた表示ユニット 73 とを備えている。この場合においても、有機 EL ディスプレイ 10 を用いた表示ユニット 73 は前記実施形態と同様な効果を発揮する。

【0118】

図 10 は、携帯電話の構成を示す斜視図を示す。図 10 において、携帯電話 80 は、複数の操作ボタン 81、受話口 82、送話口 83、前記有機 EL ディスプレイ 10 を用いた表示ユニット 84 を備えている。この場合においても、有機 EL ディスプレイ 10 を用いた表示ユニット 84 は前記実施形態と同様な効果を発揮する。

【0119】

尚、発明の実施形態は、上記実施形態に限定されるものではなく、以下のよう
に実施してもよい。

○上記実施形態では、駆動電流生成回路部 30 を構成する 5 個の駆動用トランジスタ Q_s を互いに直列に接続するとともに、電流供給回路部 40 を構成する 5 個の電流供給用トランジスタ Q_p を互いに並列に接続した。その結果、駆動電流 I_{el} より大きな電流レベルを有したデータ電流 I_{data} を画素回路 20 に供給することで、保持キャパシタ C_n への書き込み時間を短縮化した。これを、駆動電流生成回路部 30 を構成する 5 個の駆動用トランジスタ Q_s を互いに並列に

接続するとともに、電流供給回路部 40 を構成する 5 個の電流供給用トランジスタ Q_p を互いに直列に接続してもよい。このようにすることで、小さな電流レベルを有したデータ電流 I_{data} に基づいて大きな電流レベルを有した駆動電流 I_e を生成する増幅機能を備えた電子装置を実現することができる。これは、例えば、ことできより大きな電流レベルを有したデータ電流 I_{data} を画素回路 20 に供給するようにした。その結果、上記有機 EL ディスプレイ 10 以外にも MRAM（磁気抵抗素子）などのメモリ、光検出素子などの検出装置などに適用することができる。

【0120】

○上記実施形態では、駆動電流生成回路部 30 は、5 個の駆動用トランジスタ Q_s で構成した。また、電流供給回路部 40 は、5 個の電流供給用トランジスタ Q_p で構成した。これを、5 個以上または 5 個以下の駆動用トランジスタ Q_s で駆動電流生成回路部 30 を構成してもよい。また、5 個以上または 5 個以下の電流供給用トランジスタ Q_p で電流供給回路部 40 を構成してもよい。このようにすることによって、従来の画素回路と比べて開口率を削減させることなく、駆動電流 I_e の電流量と比較して大きな電流量を有するデータ電流 I_{data} を画素回路 20 に供給させることができる。

【0121】

○上記第 1 及び第 2 実施形態における各トランジスタの極性を変更した構成についても、同様の効果を得ることが可能である。

○上記実施形態では、電子素子として有機 EL 素子 21 を用いたが、これを他の電子素子に適応してもよい。例えば、LED や FED 等の発光素子のような電気光学素子に適応してもよい。

【0122】

○上記実施形態では、電子装置として、有機 EL 素子 21 を有する画素回路 20 を用いた有機 EL ディスプレイ 10 に適応したが、これを、発光層が無機材料で構成された無機 EL 素子を有する画素回路を用いたディスプレイに適応してもよい。

【0123】

○前記実施形態では、1色からなる有機EL素子21の画素回路20, 50を設けた有機ELディスプレイ10であったが、赤色、緑色及び青色の3色の有機EL素子21に対して各色用の画素回路20, 50を設けたELディスプレイに応用しても良い。

【図面の簡単な説明】

【図1】

本実施形態の有機ELディスプレイの回路構成を示すブロック回路図である。

【図2】

表示パネル部及びデータ線駆動回路の内部構成を示すブロック回路図である。

【図3】

第1実施形態を説明するための画素回路の回路図である。

【図4】

第1実施形態の画素回路の動作を説明するためのタイミングチャートである。

【図5】

第2実施形態を説明するための画素回路の回路図である。

【図6】

第2実施形態の画素回路の動作を説明するためのタイミングチャートである。

【図7】

第2実施形態を説明するための画素回路の等価回路図である。

【図8】

第2実施形態を説明するための画素回路の等価回路図である。

【図9】

第3実施形態を説明するためのモバイル型パーソナルコンピュータの構成を示す斜視図である。

【図10】

第3実施形態を説明するための携帯電話の構成を示す斜視図である。

【符号の説明】

β_s , β_p 駆動能力としての利得係数

C_n 容量素子としての保持キャパシタ

I e l 第2の電流としての駆動電流

I d a t a 第1の電流としてのデータ電流

10 電子装置としての有機ELディスプレイ

20 電子回路としての画素回路

21 電子素子としての有機EL素子

30 第2の回路部としての駆動電流生成回路部

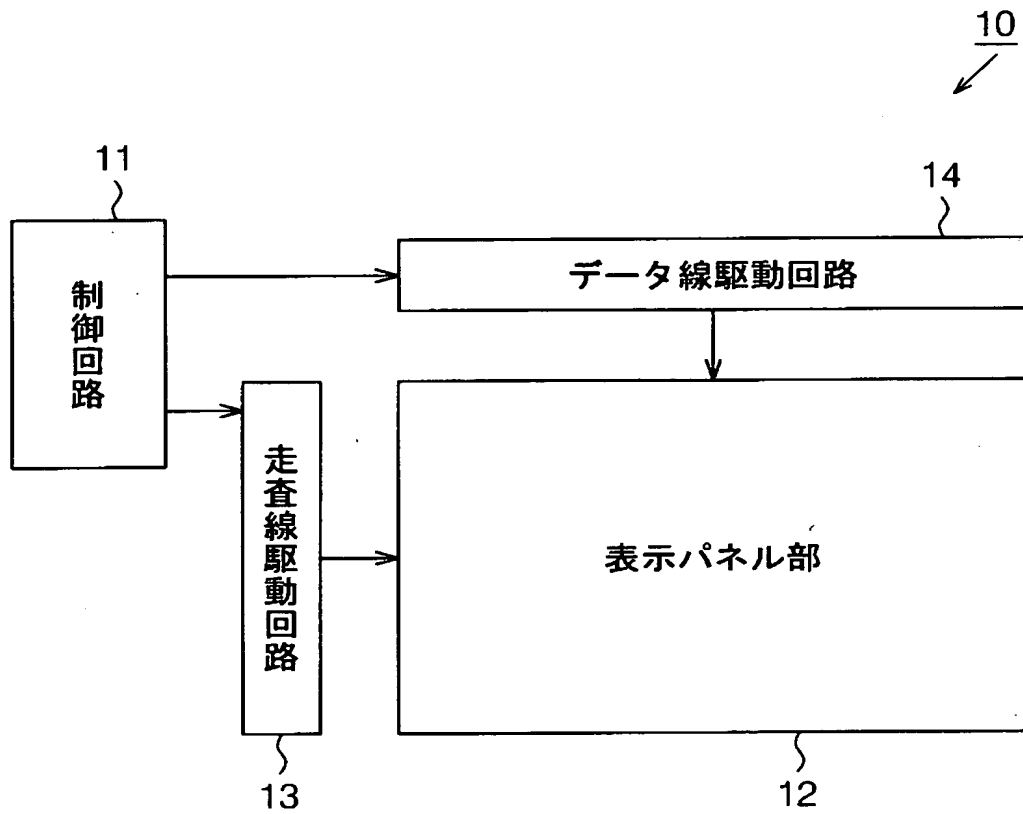
40 第1の回路部としての電流供給回路部

70 電子機器としてのモバイル型パーソナルコンピュータ

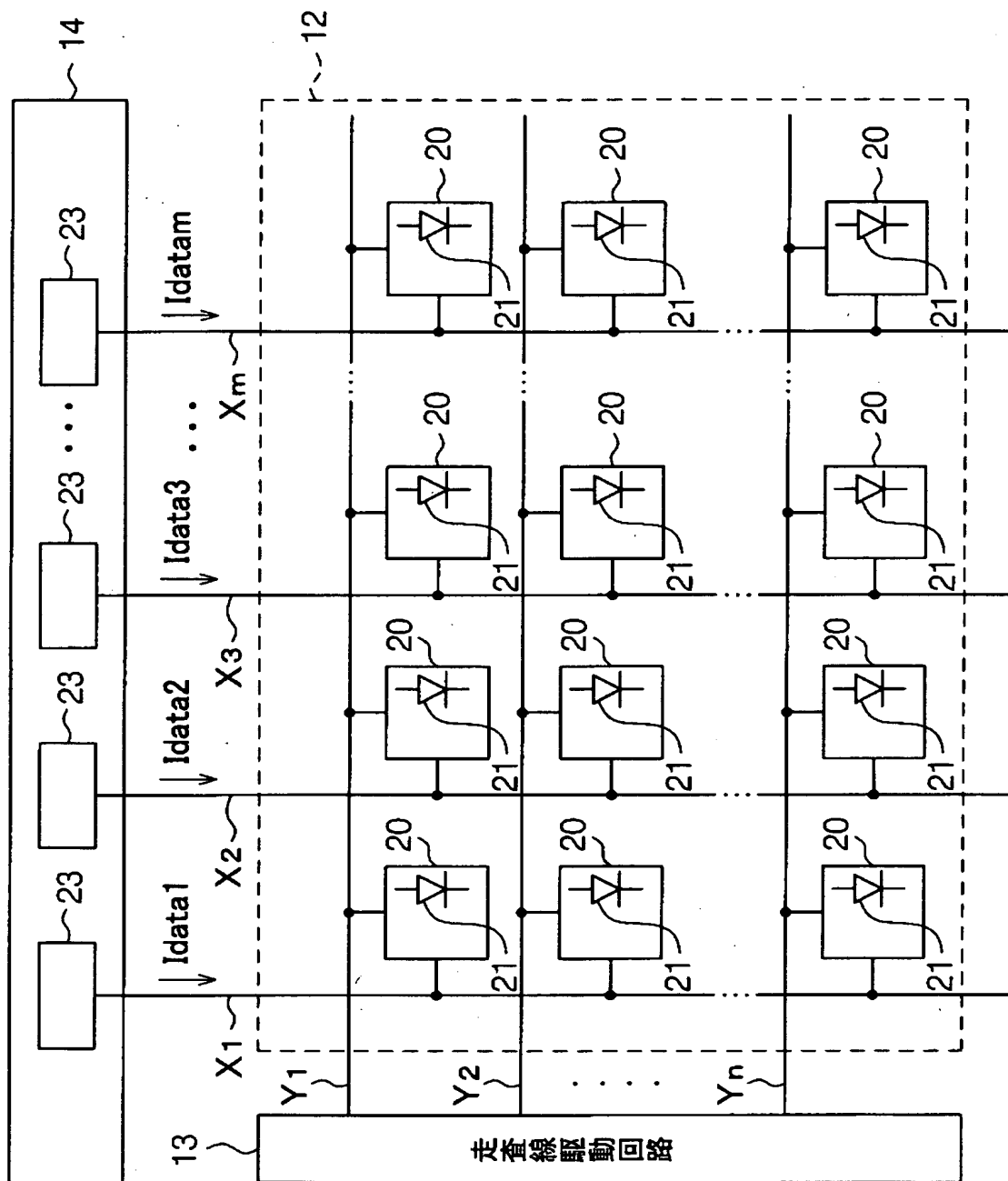
80 電子機器としての携帯電

【書類名】 図面

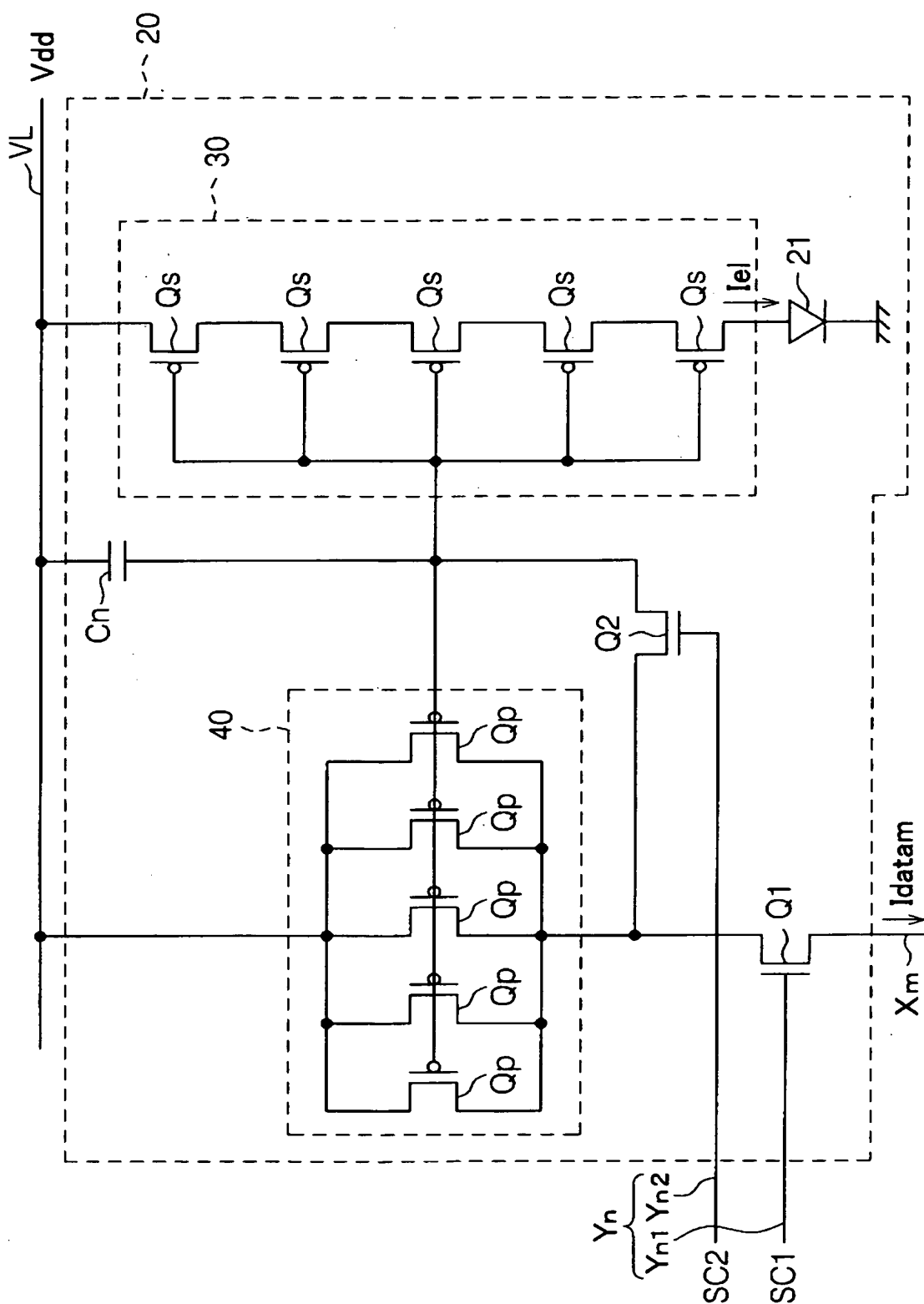
【図 1】



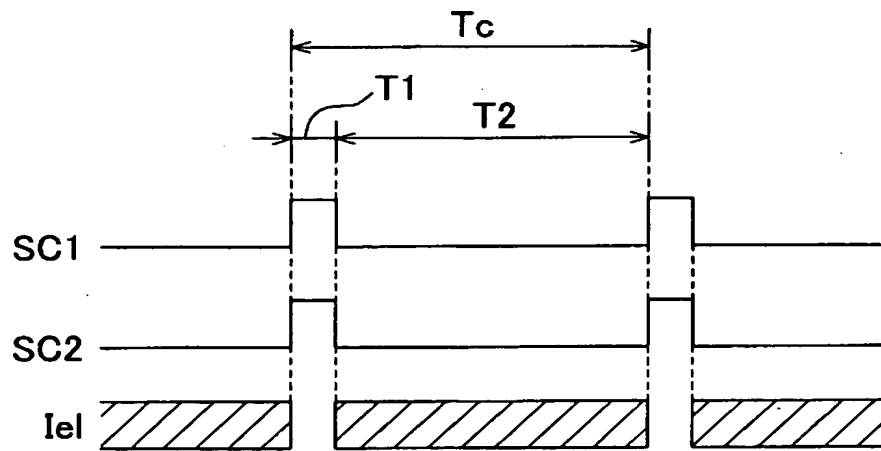
【図 2】



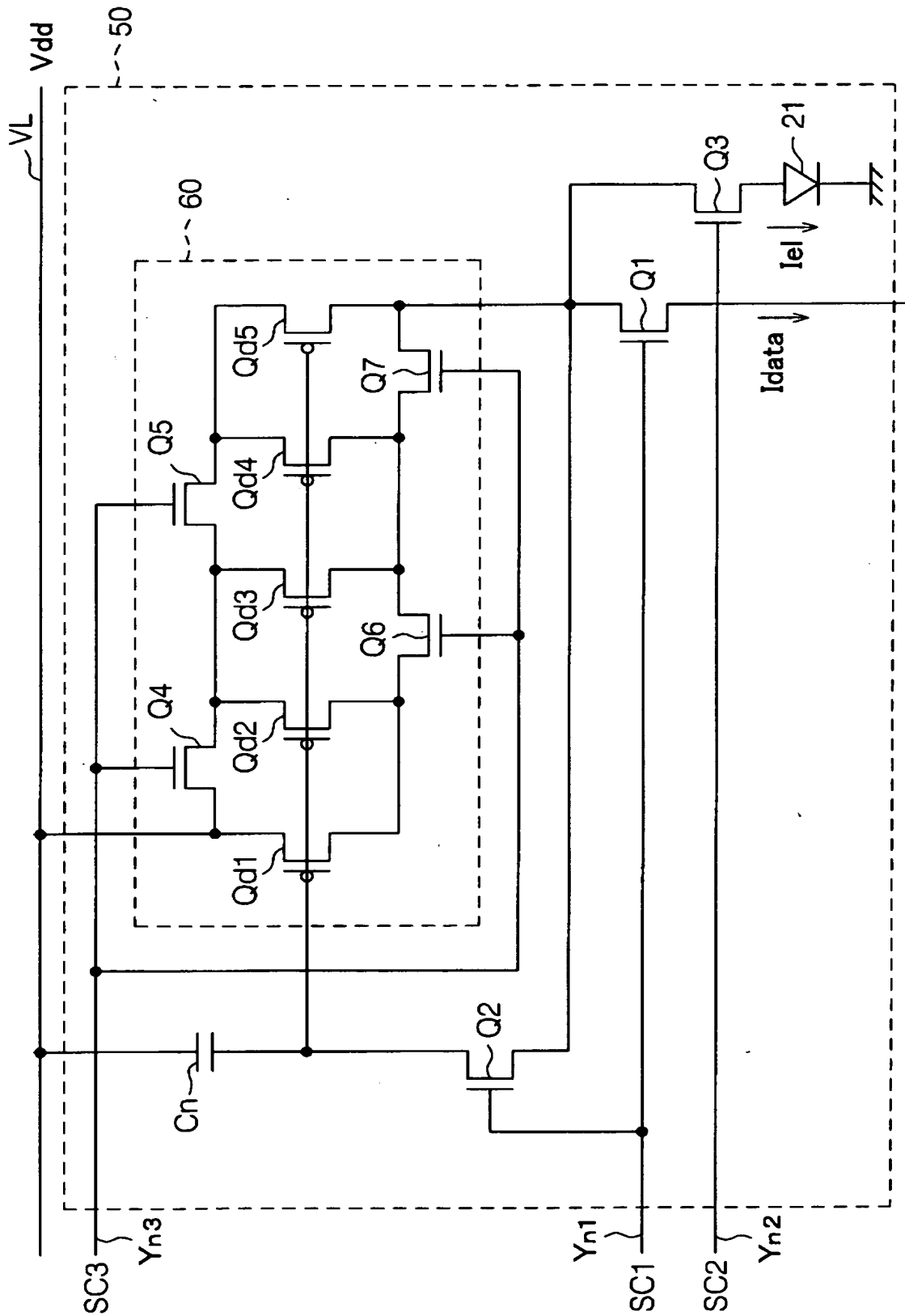
【図 3】



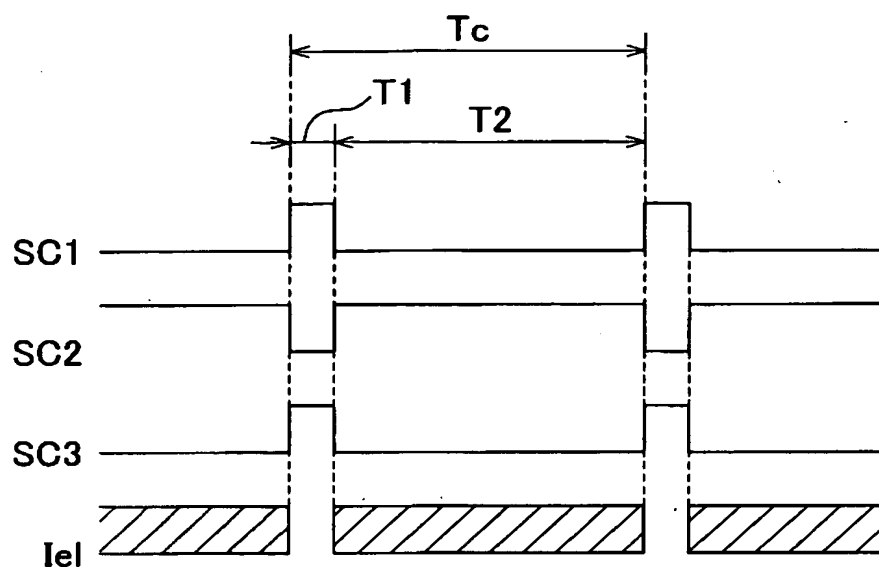
【図 4】



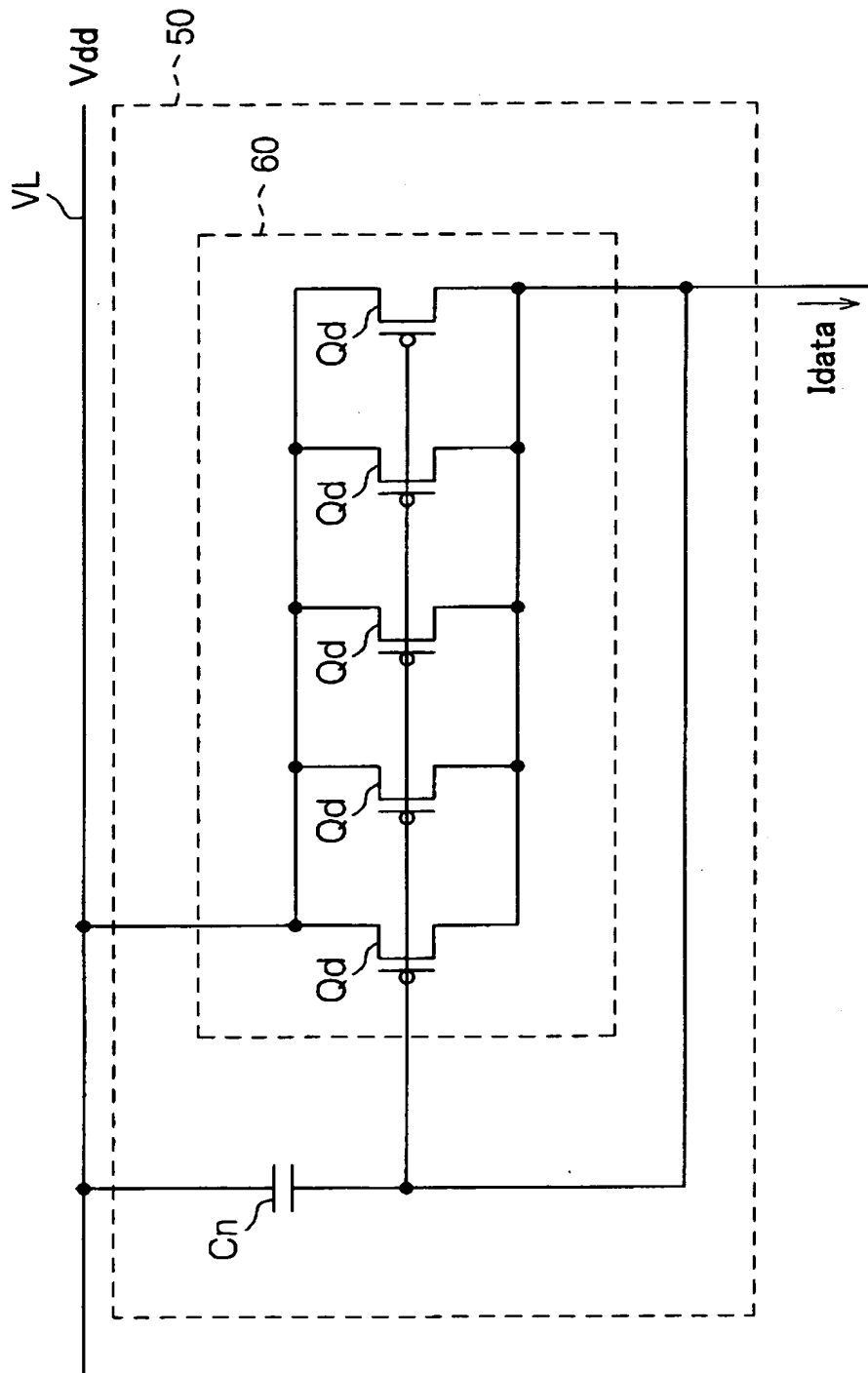
【図 5】



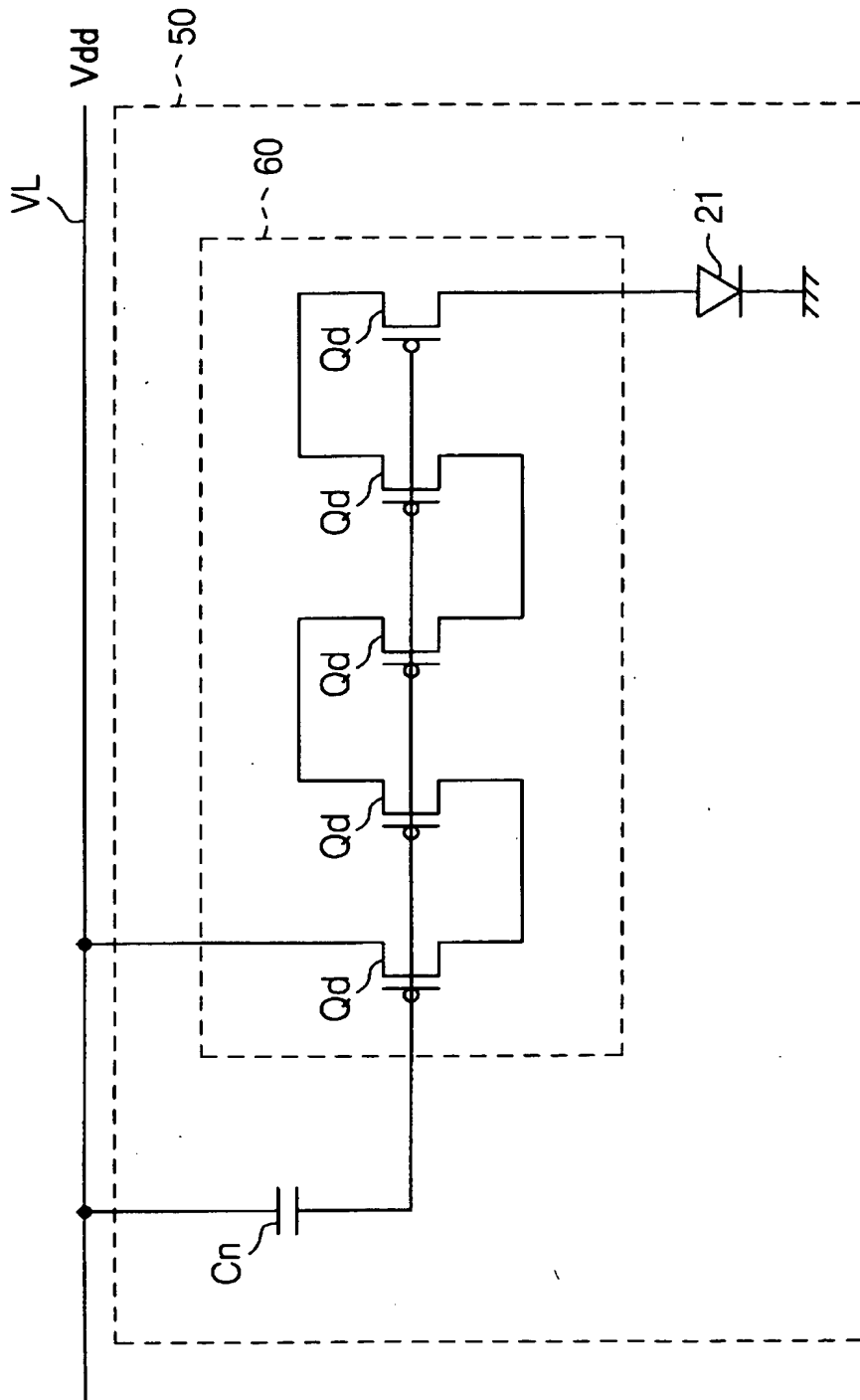
【図 6】



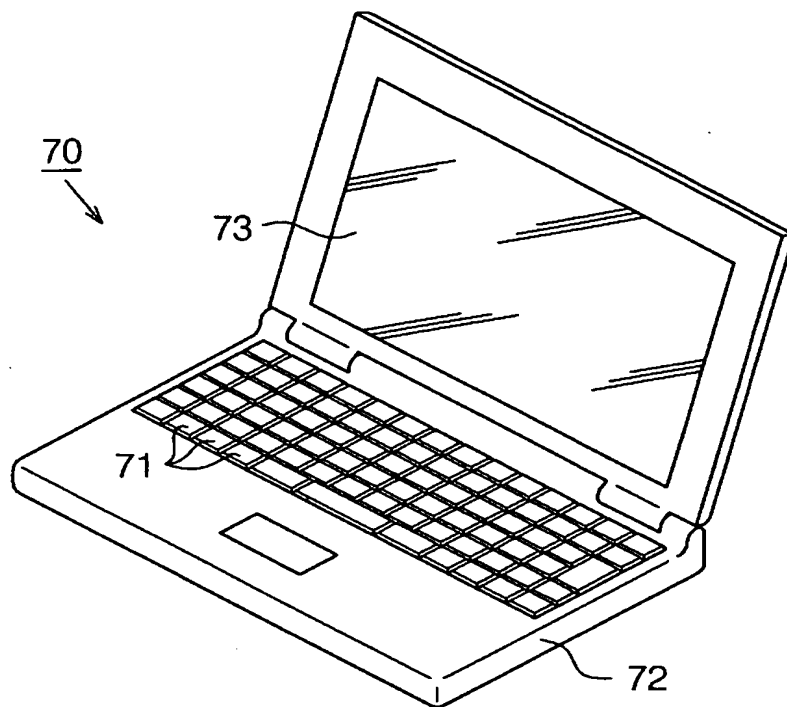
【図 7】



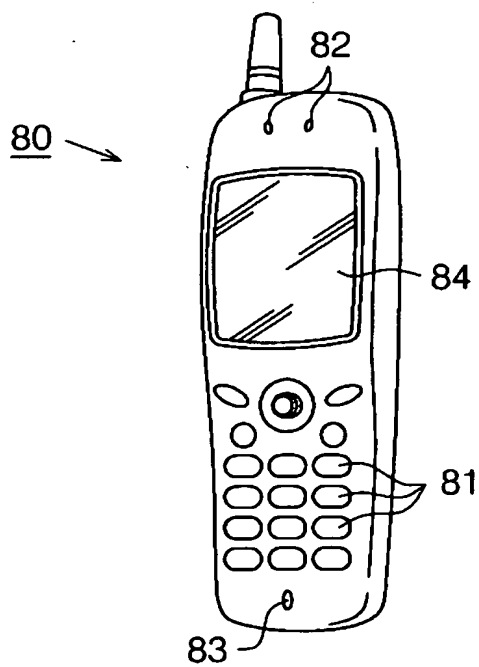
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 データ書き込み時間の短縮化や省電力化に適した電子回路、電子装置及び電子機器を提供する。

【解決手段】 互いに等しい利得係数を有する 5 個の駆動用トランジスタ Q_s をシリアル接続することで駆動電流生成回路部 30 を形成した。また、互いに等しい利得係数を有する 5 個の電流供給用トランジスタ Q_p をパラレル接続することで電流供給回路部 40 を形成した。そして、前記駆動用トランジスタ Q_s の各ゲートを前記電流供給用トランジスタ Q_p の各ゲートと接続した。そして、前記電流供給回路部 40 をデータ電流 $I_{data m}$ を供給するデータ線 X_m に電氣的に接続した。また、前記駆動電流生成回路部 30 にて生成された駆動電流 I_{el} が有機 EL 素子 21 に供給されるようにした。

【選択図】 図 3

認定・付加情報

特許出願の番号	特願 2002-280918
受付番号	50201442100
書類名	特許願
担当官	第一担当上席 0090
作成日	平成14年 9月27日

< 認定情報・付加情報 >

【提出日】	平成14年 9月26日
-------	-------------

次頁無

特願 2 0 0 2 - 2 8 0 9 1 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1 . 変 更 年 月 日

1 9 9 0 年 8 月 2 0 日

[変 更 理 由]

新 規 登 録

住 所

東 京 都 新 宿 区 西 新 宿 2 丁 目 4 番 1 号

氏 名

セ イ コ ー エ プ ソ ン 株 式 会 社